

Conseils pour le test de cartes et la configuration in-situ boundary-scan



Rappels sur la norme IEEE 1149.1

En 1985, un groupe de fabricants a constitué le Joint Test Action Group (JTAG) afin de s'attaquer à la problématique des tests de plus en plus complexes exigés par les produits électroniques les plus récents. Les travaux de ce groupe ont débouché sur la norme IEEE 1149.1, qui définit un protocole pour le transfert des informations de test dans des composants, des cartes, voire des systèmes entiers. Les résultats des tests sont retournés par les composants sur une ligne série séparée. En adoptant cette norme sur les circuits intégrés comme dans les systèmes complets, les fabricants ont pu réduire non seulement le temps nécessaire au test des systèmes complexes, mais aussi le temps nécessaire au développement des tests.

Fondamentalement, le protocole de test, généralement appelé « boundary-scan », prévoit un « registre » pour chaque broche d'E/S sur un composant. Ce registre commande la broche au moyen des séquences binaires qui y sont écrites pendant le test. Dans un circuit typique, les tests boundary-scan stimulent des sorties et enregistrent l'état des composants qui y sont reliés. En comparant les séquences de test (« vecteurs ») appliquées aux composants et les séquences relevées à la sortie, les testeurs peuvent localiser les défauts dans un circuit ainsi que les composants défectueux. Dans de nombreux cas, le test boundary-scan offre le moyen le plus simple, rapide et économique de tester les connexions entre composants. De plus, les concepteurs peuvent réutiliser une grande partie des vecteurs de test qu'ils élaborent, ce qui engendre également des économies. L'ajout de fonctionnalités boundary-scan à une carte ne demande qu'un minimum d'espace supplémentaire réservé aux broches correspondantes sur des composants conformes et à la connexion des outils de test et de débogage.

Autres avantages de la technologie boundary-scan :

- *Automatisation du développement des tests et du diagnostic*
 - *Nombre illimité de points de test boundary-scan*
 - *Production élevée du test et de la programmation in-situ sur les chaînes de fabrication*
 - *Faible coût des outils et de l'investissement en matériel*
-

Un soin particulier apporté à la conception des circuits facilite le test boundary-scan

- Prévoir un signal d'horloge externe
- Isoler les composants non boundary-scan
- Forcer les FPGA et CPLD en mode boundary-scan à la mise sous tension

En tant que concepteur de circuits numériques, vous êtes sans doute conscient de l'intérêt d'utiliser des circuits boundary-scan conformes à la norme IEEE 1149.1. Toutefois, vous pouvez rencontrer des difficultés lorsque vos circuits comportent des composants non boundary-scan. Et même si vous accordez un soin particulier au respect de la norme IEEE 1149.1, des problèmes délicats peuvent retarder la mise au point et le test. Les conseils qui suivent vous aideront à surmonter certains de ces obstacles et à faciliter le test et le débogage de vos cartes. Vous pouvez les mettre en application dès à présent ou bien en prendre note pour l'avenir.

Normaliser les connexions

Dans la mesure du possible, prescrivez un type standard de connecteur pour les connexions boundary-scan de chacune de vos cartes. Un brochage normalisé des signaux boundary-scan vous permettra d'employer les mêmes outils matériels sur toutes vos cartes. Au minimum, utilisez un connecteur 10 broches comportant les cinq signaux boundary-scan et cinq masses (**Fig. 1**). Vous pouvez recourir à un plus grand nombre de broches pour prendre en compte les signaux supplémentaires provenant d'outils boundary-scan propriétaires.

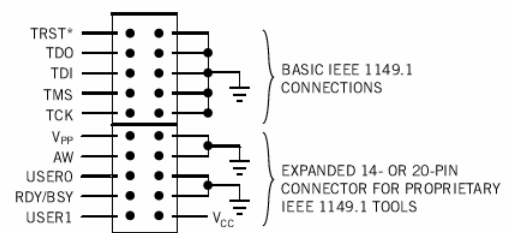


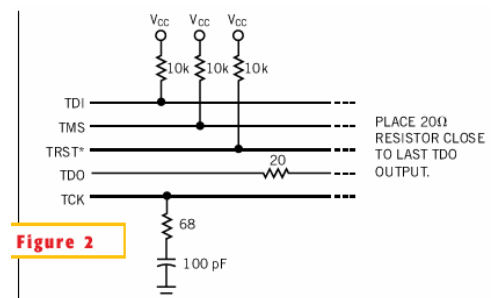
Figure 1. Un connecteur normalisé pour les signaux boundary-scan facilite l'emploi des mêmes outils de test et de débogage sur différents modèles de cartes.

Même si vous fournissez un connecteur standard pour les signaux boundary-scan, pensez à relier ceux-ci à un connecteur de bord ou à tout autre connecteur utilisé par la carte pour communiquer avec les autres éléments du système. L'accès aux signaux boundary-scan via un connecteur de bord peut éviter le recours à des connexions séparées, de type « planche à clous » par exemple, pendant le test de production. L'accès par connecteur de bord peut également faciliter le test lorsque votre carte est destinée à un fond de panier.

Garantir l'intégrité du signal

Veillez systématiquement à ce que les signaux TCK (horloge de test), TMS (sélection du mode de test) et TRST* (réinitialisation du test) soient connectés en parallèle à tous les composants boundary-scan au sein d'une chaîne. Comme pour tout signal d'horloge, le cheminement de TCK et de TMS doit rester aussi court que possible. C'est pourquoi nous vous conseillons de déclarer ces deux signaux comme « critiques » dans l'autorouteur. (Toutes les cartes ne nécessitent pas le signal TRST*.)

Figure 2. Des circuits de terminaison sur les lignes boundary-scan garantissent les niveaux de signal et la temporisation appropriés pour les composants d'une chaîne boundary-scan.



Si votre carte fait intervenir de nombreux vecteurs, par exemple pour le test de mémoires SDRAM ou la programmation flash qui exigent des fréquences de TCK supérieures à 10 MHz, nous préconisons l'utilisation des terminaisons présentées sur la **Figure 2**. Le circuit de terminaison d'horloge TCK doit correspondre en impédance au câble TAP (*Test Access Port*) qui relie la carte à un testeur boundary-scan. La résistance $22\ \Omega$ sur la ligne TDO contribue à absorber le signal réfléchi pouvant être présent sur celle-ci en cas d'utilisation d'une entrée TCK haute fréquence.

Vous pouvez atténuer les problèmes de sortance des signaux en bufferisant les entrées IEEE 1149.1 avant de les diffuser sur la carte. Le circuit de la **Figure 3** illustre la mise en œuvre d'un buffer octal non inverseur 74ABT244 dans lequel les entrées TMS et TCK attaquent chacune quatre buffers internes. Prêtez tout particulièrement attention à la sortance des signaux TMS et TCK, qui doivent être reliés à chaque circuit intégré (CI) boundary-scan au sein d'une chaîne. En règle générale, prévoyez une sortance de 4 à 6 au départ d'un buffer 74ABT244 pour les connexions proches, et de seulement 1 à 2 pour les composants nécessitant plus de 10 cm de piste pour y acheminer le signal TMS ou TCK. Si votre carte incorpore le signal TRST*, bufferisez-le également.

Figure 3. Un buffer octal 74ABT244 peut augmenter la sortance des signaux boundary-scan TMS et TCK. À noter que chaque entrée attaque quatre buffers en parallèle.

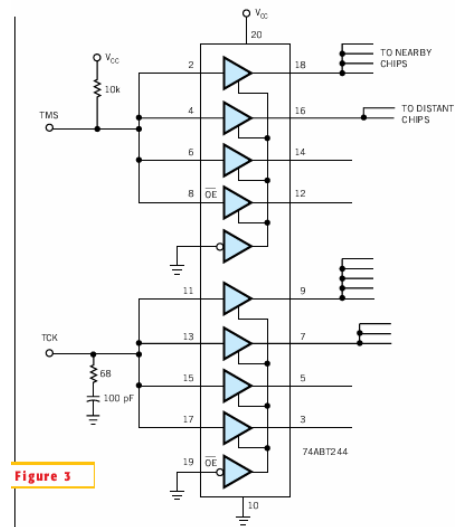


Figure 3

Ajouter une dérivation

Au stade du prototype, vous devrez peut-être dériver la chaîne boundary-scan autour d'un CI. En pareil cas, prévoyez des emplacements pour des résistances sur la carte de façon à contourner le CI, ainsi que pour les connexions TDI et TDO aboutissant au CI à isoler (**Fig. 4**). En fonctionnement normal, placez des résistances de $0\ \Omega$ aux entrées TDI et TDO mais pas de résistance de $0\ \Omega$ sur la dérivation. Pour contourner le CI, il vous suffit de spécifier DNP (*Do Not Place*) pour les résistances TDI et TDO, tout en plaçant la résistance de $0\ \Omega$ sur la dérivation. L'ouverture de la piste TDI à l'entrée du CI empêche ce dernier d'accepter toute instruction boundary-scan transmise le long de la chaîne. Une résistance pull-up sur l'entrée TDI non connectée n'est pas nécessaire car elle produirait une séquence de « 1 » logiques sur TDI, équivalente à l'instruction BYPASS.

Lorsqu'il est nécessaire de contourner plusieurs composants successifs dans une chaîne, montez une boucle de dérivation autour du groupe de composants ainsi que des emplacements pour résistances entre les broches TDO et TDI de ces composants. En ajoutant ou en retirant des résistances $0\ \Omega$ aux emplacements appropriés, vous pouvez isoler, soit l'ensemble des composants, soit seulement certains d'entre eux.

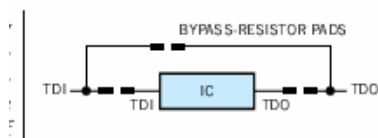


Figure 4. Des emplacements pour résistances à l'entrée et à la sortie d'un composant boundary-scan, combinés à une boucle de dérivation, permettent d'isoler et de contourner les composants problématiques pendant le débogage d'un nouveau circuit

Soigner le signal d'horloge

Pendant le test et le débogage, vous pouvez avoir besoin de piloter sur la carte des signaux d'horloge routés vers les mémoires, processeurs et autres composants. Malheureusement, de nombreux concepteurs se bornent à connecter directement à V_{cc} le signal OE (*Output Enable*) d'un oscillateur intégré sur leur carte, ce qui rend impossible la désactivation de cet oscillateur pendant le test. Si vous disposez de deux broches d'E/S libres sur un FPGA, un CPLD ou un composant similaire, vous pouvez désactiver l'oscillateur intégré et injecter votre propre signal d'horloge (voir **Figure 5**). Dans ce circuit, une ligne provenant du FPGA peut couper l'oscillateur et forcer sa sortie en haute impédance. L'autre ligne délivre un signal d'horloge. Le FPGA doit alimenter deux cellules boundary-scan supplémentaires, une pour chaque connexion. Au moyen de l'instruction boundary-scan EXTEST (test externe), vous pouvez désactiver l'oscillateur et générer votre propre signal d'horloge à partir du FPGA.

Figure 5. Deux sorties inutilisées sur un CPLD ou FPGA vous permettent de commander une horloge sur la carte tout en injectant votre propre signal d'horloge pour le test.

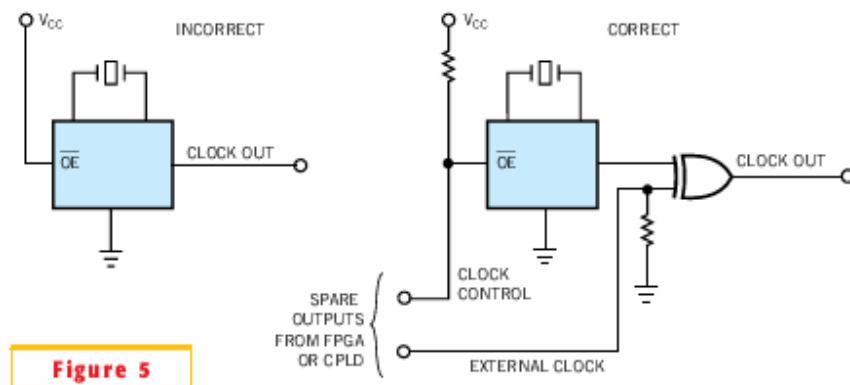


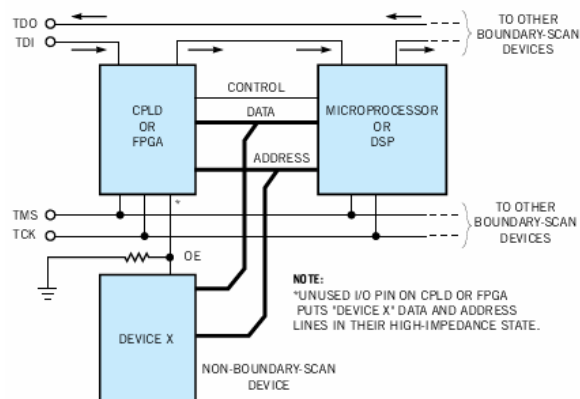
Figure 5

Si vous prévoyez de fournir un signal d'horloge externe à un CI de distribution d'horloge, assurez-vous que votre sortie boundary-scan peut délivrer la fréquence d'horloge minimale requise par le CI. Dans certains cas, des signaux d'horloge distribués peuvent commander entre 20% et 30% des composants cadencés sur une carte boundary-scan, par conséquent prenez en compte tous les composants de ce type pour déterminer la fréquence minimale requise pour le test et le débogage.

Combiner des composants boundary-scan et non boundary-scan

Vos circuits peuvent mêler des composants boundary-scan et non boundary-scan partageant les mêmes signaux de sortie. Dans ce cas, prévoyez un moyen de désactiver les sorties communes provenant des composants non boundary-scan. Dans le circuit de la **Figure 6**, un FPGA et un composant non boundary-scan sont connectés aux mêmes lignes d'adresses et de données. La désactivation des sorties du composant non boundary-scan évite de possibles conflits entre signaux, risquant de fausser les résultats du test. Dans cet exemple, le FPGA offre une sortie normalement inutilisée qu'il n'active que pendant le test. Ce signal a pour effet de désactiver les signaux des bus de données et d'adresses provenant du composant non boundary-scan. Vous devez vous assurer que le signal OE partant du FPGA vers le composant non boundary-scan n'est pas relié à des circuits FPGA internes susceptibles de modifier son état en fonctionnement normal.

Figure 6. Lorsque vous prévoyez de mêler divers types de composants sur une carte, assurez-vous que l'un de vos composants boundary-scan peut « couper » les composants non boundary-scan des connexions qu'ils partagent avec le CI scruté.

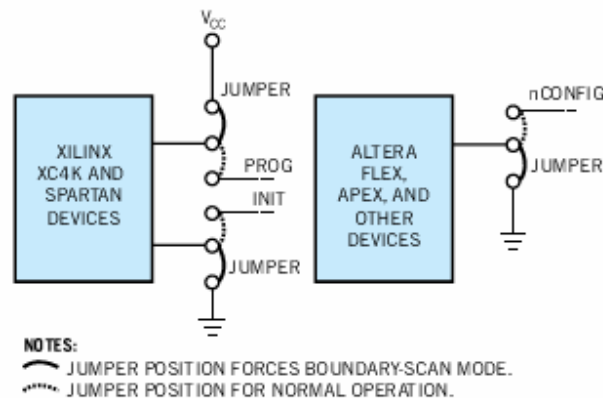


Forcer le mode boundary-scan

Certains FPGA d'Altera et Xilinx demandent des connexions spéciales pour activer leurs circuits boundary-scan à la mise sous tension. En fonctionnement normal, ces composants entrent en mode de configuration dès qu'ils sont mis sous tension. Or, dans ce mode, ils ne peuvent pas répondre aux signaux boundary-scan.

Pour forcer un composant Xilinx XC4K ou Spartan en mode boundary-scan, il est nécessaire de mettre à la masse son entrée INIT et de connecter V_{cc} à son entrée PROG (Fig. 7). Le positionnement de cavaliers sur une carte pour établir ces connexions pendant le test aura pour effet de forcer les composants de ces familles à réagir correctement aux commandes boundary-scan à la mise sous tension. Utilisez des cavaliers pour relier les composants aux signaux PROG et INIT en fonctionnement normal.

Figure 7. Des cavaliers peuvent forcer les FPGA à SRAM Xilinx à passer en mode boundary-scan dès la mise sous tension. Un cavalier à l'entrée nCONFIG d'un composant à SRAM Altera forcera le composant à s'autoconfigurer en tant que composant boundary-scan à la mise sous tension.



Les composants Altera FLEX et APEX peuvent également nécessiter des commandes spéciales à la mise sous tension pour passer dans un mode qui leur permet de répondre aux signaux boundary-scan. Un cavalier de mise à la masse de l'entrée nCONFIG sur ces composants fait en sorte qu'ils puissent réagir aux signaux boundary-scan à la mise sous tension. Les composants FLEX 6000, en particulier, voient leur fonction boundary-scan désactivée pendant la génération de leur train de bits, sauf si vous l'activez explicitement dans la suite Altera MaxPlus2. Toutefois, même si vous activez ce mode, le circuit intégré n'exécutera pas les tests boundary-scan pendant son autoconfiguration. La mise à la masse de l'entrée du nCONFIG du CI garantit que ce dernier inhibe sa configuration et autorise les opérations boundary-scan.

Une autre solution consiste, pour exécuter les tests boundary-scan, à attendre que les circuits intégrés aient fini de se configurer, mais au prix de beaucoup de temps et d'énergie. Vous devez en effet obtenir un fichier BSDL décrivant l'état après configuration des broches de ces CI. Malheureusement, rares sont les outils de CAO qui génèrent automatiquement des fichiers BSDL de post-configuration. Il vous faut donc modifier manuellement un fichier BSDL de préconfiguration afin d'y refléter l'état après configuration souhaité pour ces composants. Or toute intervention manuelle est sujette à erreurs.

En outre, n'oubliez pas que, pendant sa configuration, un circuit intégré peut redéfinir certaines de ses broches d'E/S. La description BSDL d'un FPGA avant configuration peut ainsi définir toutes ses broches d'E/S comme étant bidirectionnelles, mais votre carte peut très bien les redéfinir comme des entrées ou des sorties à sens unique, auquel cas une broche peut lire ou commander un signal, mais pas les deux. Si vous vous servez des informations d'architecture fournies par le fichier BSDL de préconfiguration pour générer le test d'interconnexion avec un outil automatique (ATPG), celui-ci tentera de tester chaque broche en entrée et en sortie, ce qui peut être impossible dans l'état post-configuration. Par conséquent, il est préférable de forcer le FPGA à son état de préconfiguration à la mise sous tension, plutôt que de développer des vecteurs de test pour l'état post-configuration.

N'oubliez pas que, pendant le test de fabrication, vous devrez instaurer l'état de préconfiguration. En revanche, pour tester in-situ un FPGA configuré, vous devez développer des tests pour l'état post-configuration.

Diviser pour régner

Dans certains cas, il peut être nécessaire de diviser une carte en plusieurs chaînes boundary-scan au lieu d'une seule chaîne longue. Voici quelques cas où une telle séparation peut s'imposer :

- Un outil tiers de débogage ou d'émulation peut s'attendre à ce que les composants d'une chaîne aient une longueur de registre différente par rapport aux autres CI boundary-scan présents sur une carte. Il est donc conseillé de ne pas mélanger diverses longueurs de registre et de configurer plutôt des chaînes distinctes.
- Les FPGA et CPLD à programmation in-situ spéciale peuvent exiger des outils distincts. Toutefois, les CI conformes à la norme IEEE 1532 pour la configuration in-situ fonctionneront dans une chaîne boundary-scan normale.
- Si vous prévoyez de combiner différentes familles logiques, par exemple ECL et TTL, nous recommandons de réserver une chaîne boundary-scan à chacune.
- Il peut être nécessaire de placer les composants faisant appel à de nombreux vecteurs, tels que les mémoires flash ou SRAM, dans des chaînes distinctes pour réduire autant que possible les temps de test et de programmation.
- Si vous concevez des composants système, vous devrez peut-être isoler ces composants qui donnent accès à des fonds de panier et des connexions carte à carte dans leur propre chaîne. Cela peut permettre de réduire les temps de test et de limiter les tests aux types de connexions similaires.

Les techniques boundary-scan peuvent vous procurer de puissants outils de test et de débogage, à condition de bien évaluer les besoins de vos systèmes et de réfléchir soigneusement à ce vous souhaitez tester. Les conseils ci-dessus vous aideront à réfléchir aux types de modifications que vous pouvez apporter à une carte afin d'optimiser la mise en œuvre des éléments boundary-scan.

###

Victor Fernandes
JTAG Technologies France

www.jtag.fr