

JTAG – IEEE-1149.X – BOUNDARY-SCAN

Relever les défis DFT au niveau composant, carte et système

Date : Mercredi 21 Mars 2007 **Lieu :** Grenoble - Hôtel Europe

Objectifs:

Nous vous invitons à vous joindre à nous pour un séminaire **GRATUIT** d'information d'une journée. Vous apprendrez ainsi comment une stratégie Boundary-Scan DFT (Design For Test) peut vous permettre d'optimiser la couverture de vos tests et la résolution de vos diagnostics face à la complexité des cartes et architectures système à signaux numériques ou mixtes.

Documents fournis:

- Classeur support de présentation
- Copie de l'édition, « Opportunité des tests Boundary-Scan » version française.
- Copie de l'édition, « testabilité intégrée à la conception de carte » version française.
- Copie de l'édition, « testabilité intégrée à la conception de système » version française.

Contenu du séminaire :

Présentations par :

Mr. Victor Fernandes - JTAG Technologies

Mr. Claude Ammeller - Siren

- Principes de base IEEE 1149.X (Boundary Scan)
- Implanter le Boundary-Scan au niveau carte (règles DFT - Design For Test)
- Technique Boundary-Scan au niveau système
- Cas concret d'intégration Boundary-Scan dans un testeur fonctionnel (Test et Programmation)
- Stratégie d'intégration Boundary-Scan dans les testeurs In Situ et à sondes mobiles

- Démonstration nouvelles solutions de test et programmation ProVision de JTAG Technologies.

Séminaire **GRATUIT** et comprend les pauses-café et le déjeuner.

Société: _____
Participants: _____
Service: _____
Adresse: _____
Code postal - Ville: _____
Tel / Fax / E-mail: _____
Signature: _____

Réponse par fax, s.v.p., au: **01 39 30 29 78** - ou Email : france@jtag.com